

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-307882

(43)Date of publication of application : 19.11.1993

(51)Int.Cl.

G11C 11/406

(21)Application number : 04-080194

(71)Applicant : NEC CORP

(22)Date of filing : 02.04.1992

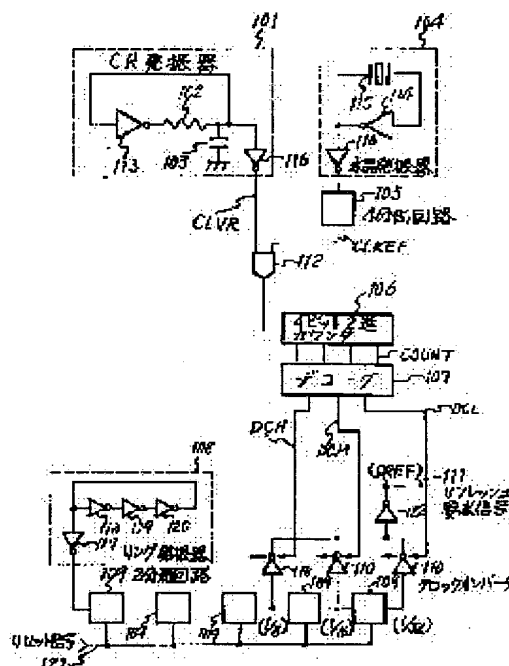
(72)Inventor : SAITO TOSHIO

(54) REFRESH REQUIREMENT CIRCUIT

(57)Abstract:

PURPOSE: To prevent a refresh ratio and the reduction of refresh rate and current consumption from being obstructed due to a holding time of a DRAM and an inverse temperature characteristic of a refresh period.

CONSTITUTION: By a temperature detection circuit utilizing the frequency temperature dependency of a CR oscillator 101, the temperature areas of 3 sections of low temperature, medium temperature high temperature are detected and by switching the number of frequency division of a frequency divider circuit 109 for setting the refresh period, the refresh period at a low temperature time is made longer than that at a high temperature time and matched with the temperature characteristic of the holding time of the DRAM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-307882

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl.⁵

G 1 1 C 11/406

識別記号

庁内整理番号

F I

技術表示箇所

6741-5L

G 1 1 C 11/ 34

3 6 3 L

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-80194

(22)出願日 平成4年(1992)4月2日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 斎藤 寿男

東京都港区芝五丁目7番1号日本電気株式
会社内

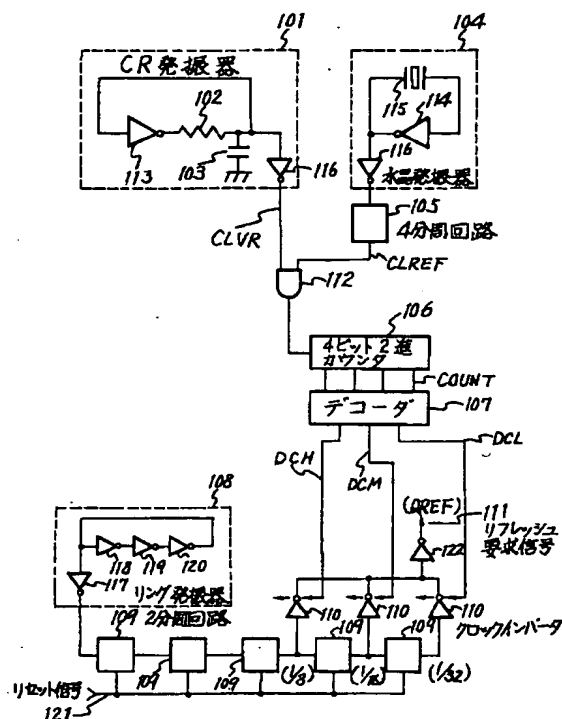
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 リフレッシュ要求回路

(57)【要約】

【目的】リフレッシュ周期がDRAMの保持時間と逆の温度特性を有するために、リフレッシュ率、消費電流の低減が阻害されるが、これを防ぐこと。

【構成】CR発振器101の周波数温度依存性を利用した温度検出回路により、低温、中温、高温の3区間の温度領域を検出し、リフレッシュ周期設定用の分周回路109の分周数を切りかえることで、低温時のリフレッシュ周期を高温時よりも長くして、DRAMの保持時間の温度特性と合わせる。



【特許請求の範囲】

【請求項1】 リフレッシュを必要とする回路に、所定時間毎にリフレッシュ要求信号を出力するリフレッシュ要求回路において、前記リフレッシュの周期を、高温時には短かく、低温では長くしたパルスで、前記リフレッシュ要求信号として出力する手段を設けたことを特徴とするリフレッシュ要求回路。

【請求項2】 前記手段が、温度検出回路の出力により異ならしめた分周数のパルスで、前記リフレッシュ要求信号として出力される回路となっている請求項1記載のリフレッシュ要求回路。

【請求項3】 前記手段が、温度検出回路の出力により異ならしめた発振周波数を分周して、前記リフレッシュ要求信号として出力される回路となっている請求項1記載のリフレッシュ要求回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はリフレッシュ要求回路に関し、特にDRAM集積回路に使用されるリフレッシュ要求回路に関する。

【0002】

【従来の技術】 メモリーセルの持つ容量に電荷を保持することで記憶を行なうDRAMでは、デバイス中に存在するさまざまなリーク電流により、保持した電荷は時間と共に減少する。このため、一定時間毎にリフレッシュと呼ばれる記憶データの再書き込みを行なう必要がある。このように、一定時間内に全メモリーセルへリフレッシュ動作を制御する回路がリフレッシュ要求回路である。DRAM回路において、リフレッシュは各ワード線単位で行なわれるため、ワード線の本数のリフレッシュ実行で、全メモリーセルがリフレッシュされる。

【0003】 従来のリフレッシュ要求回路は、図4に示すように、4個のインバータからなるリング発振器301、N分周器302、リフレッシュnビットアドレスカウンタ303より構成されている。リング発振器301とN分周器302は、DRAMの最小保持時間を満足する周期でリフレッシュ信号(QREF)304を発生するよう設定され、リフレッシュ信号304が発生したとき、2ⁿ本のワード線のうち、リフレッシュnビットアドレスカウンタ303で指定されるワード線上のメモリーセルをリフレッシュする。リフレッシュ終了後、リフレッシュ終了信号(EREF)305により、N分周器302のリセットおよびリフレッシュnビットアドレスカウンタ303のカウントアップ306を行ない、次のリフレッシュ期間に移る。

【0004】

【発明が解決しようとする課題】 DRAMの保持時間は、高温になる程小さく(10℃で約1/2)なるか、リング発振器301の周波数は高温になる程低くなるという逆依存を示す。リフレッシュ周期は、高温時の保持

特性に設定されているので、常温でのリフレッシュ周期は保持時間に対して不必要に短くなり、リフレッシュ率の減少、消費電流の減少を阻害するという問題点があった。

【0005】 本発明の目的は、前記問題点を解決し、リフレッシュ率を減少させず、消費電流の減少を阻害しないようにしたリフレッシュ要求回路を提供することにある。

【0006】

【課題を解決するための手段】 本発明のリフレッシュ要求回路の構成は、リフレッシュを必要とする回路に、所定時間毎にリフレッシュ要求信号を出力するリフレッシュ要求回路において、前記リフレッシュの周期を、高温時には短かく、低温では長くしたパルスで、前記リフレッシュ要求信号として出力する手段を設けたことを特徴とする。

【0007】

【実施例】 図1は本発明の一実施例のリフレッシュ要求回路を示すブロック図、図2は図1の各部のタイミング図である。

【0008】 図1、図2において、本実施例は、抵抗102、コンデンサ103、インバータ113、116からなるCR発振器101が、正の温度特性を有する抵抗102により、温度に対して発振周波数が変化する。水晶振動子115、インバータ114、116からなる32KHzの水晶発振回路104は、4分周回路105で分周した8KHzの出力(CLREF)を基準信号として使用する。前記基準信号CLREFのハイ区間にCR発振器101の出力CLVRのパルス数を、4ビット2進カウンタ106により計測する。ここで、ANDゲート112を介している。

【0009】 CR発振器101の発振周波数は、負の温度特性を有するから、4ビット2進カウンタ106により計測したパルス数は温度が高い程少なくなる。前記パルス数の4ビット2進値COUNTを、デコーダ107により高温DCH、中温出力DCM、低温出力DCLの3区間に分けて出力することで、温度検出ができる。

【0010】 4個のインバータ117、118、119、120からなるリング発振器108の発振を5個の2分周回路109で次々と分周することで、リフレッシュ周期を決定している。クロックインバータ110は、8分周、16分周、32分周の各出力信号を切り換え可能である。この切り換えは、3つの温度検出出力DCH、DCM、DCLによって行なうことで、リフレッシュ周期の高温時：中温時：低温時を、1：2：4とする。ここで、各分周回路109には、リセット信号121が印加される。リフレッシュ要求信号(QREF)はインバータ122を介して、出力される。

【0011】 本実施例は、温度変化に対応して出力を変える温度検出回路と前記出力により切り換え可能な可変

分周回路を有することを特徴とする。

【0012】図3は本発明の他の実施例のブロック図である。

【0013】図3において、本実施例は、CR発振器201、水晶発振器202、4分周回路203、ANDゲート214、4ビット2進カウンタ204、デコーダ205、インバータ215、216、217、可変リング発振器206、3個の2分周回路210とを備えている。

【0014】ここで、前記CR発振器201がデコーダ205までは各々図1と同様であってよい。可変リング発振器206は、第1、第2、第3のクロックインバータ207、208、209とインバータ212、213、215とを有する。出力DCH、DCM、DCLは、直接及び各々インバータ215、216、217を介して、リング発振器206に入力される。第1、第2、第3のクロックインバータ207、208、209は、いずれも4個の電界効果トランジスタからなる。3個の2分周回路210は、次々と分周を行いリフレッシュ要求信号(QREF)211を出力する。

【0015】本実施例は、分周回路は固定であり、周波数可変なリング発振器を有することを特徴とする。

【0016】可変リング発振器206は、電流駆動能力の異なる3種類の第1、第2、第3のクロックインバータ207、208、209を備え、デコーダ205出力DCL、DCM、DCHによりこれらインバータの切り換えを行ない、発振周波数を変更することで、温度に対応してリフレッシュ要求周期を決定する。温度が低くな

る程、発振周波数を低くすることで、リング発振器206の消費電力を小さくすることができる。

【0017】

【発明の効果】以上説明したように、本発明は、特に温度によるDRAMの保持時間に対応してリフレッシュの要求の周期を高温では短く、低温では長くしたので、リフレッシュ率の低減、消費電流の低減という効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のリフレッシュ要求回路を示すブロック図である。

【図2】図1のリフレッシュ要求回路を示すタイミング図である。

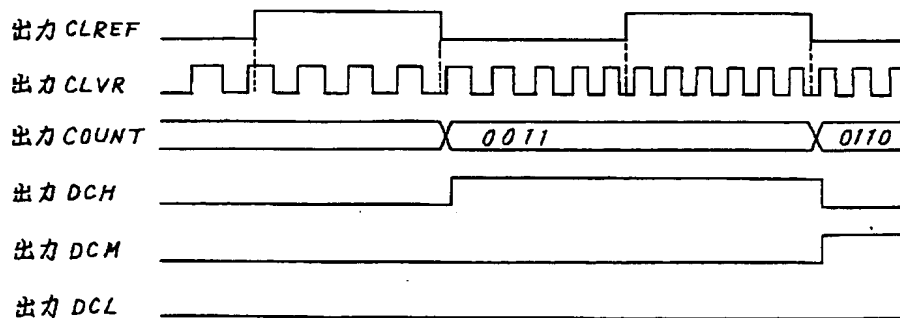
【図3】本発明の他の実施例のブロック図である。

【図4】従来のリフレッシュ要求回路を示すブロック図である。

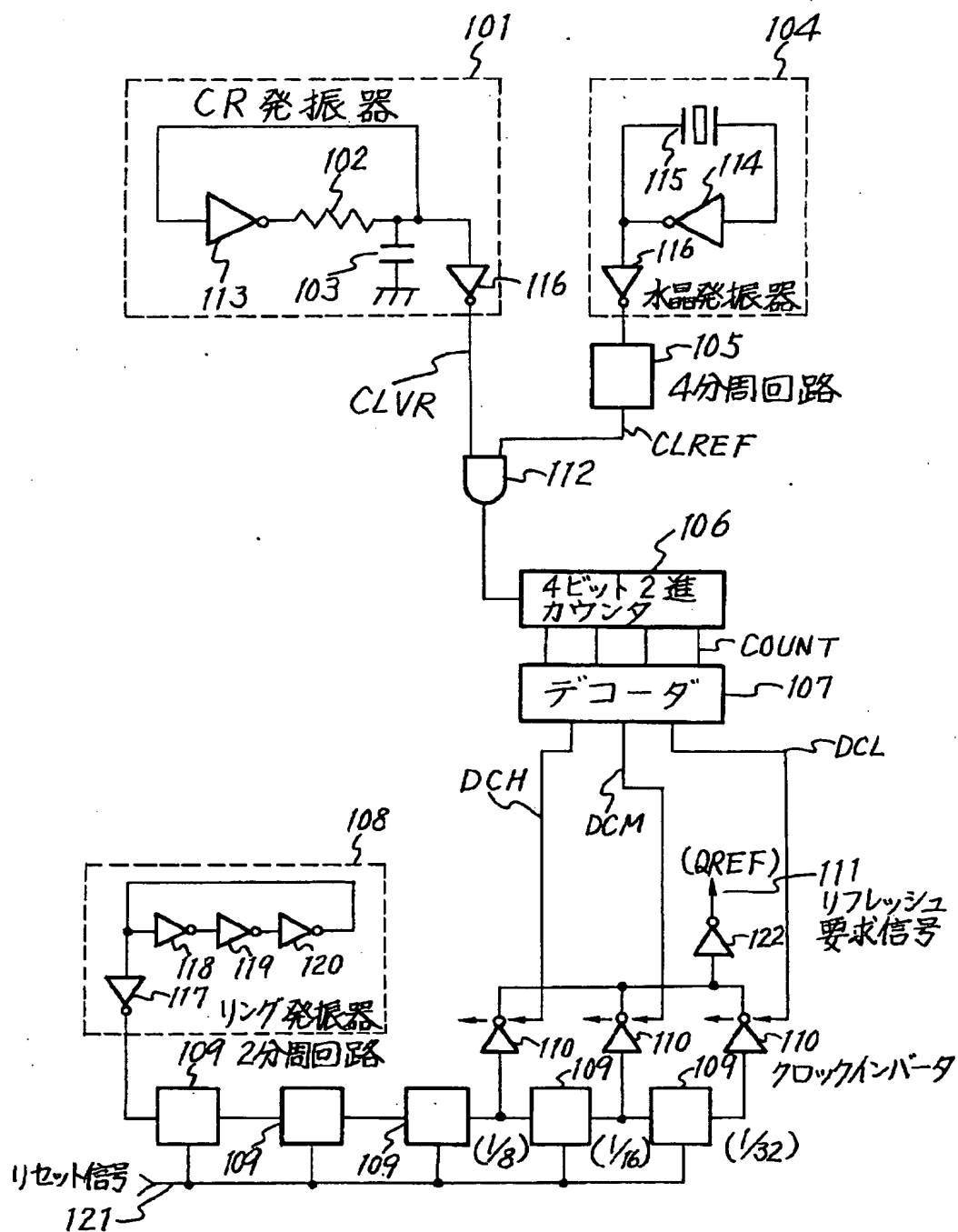
【符号の説明】

| | |
|--------------------|------------|
| 101, 201 | CR発振器 |
| 104, 202 | 水晶発振器 |
| 106, 204 | 4ビット2進カウンタ |
| 107, 205 | デコーダ |
| 108, 206 | リング発振器 |
| 105, 203 | 4分周回路 |
| 112, 214 | ANDゲート |
| 109, 210 | 2分周回路 |
| 207, 208, 209, 110 | クロックインバータ |

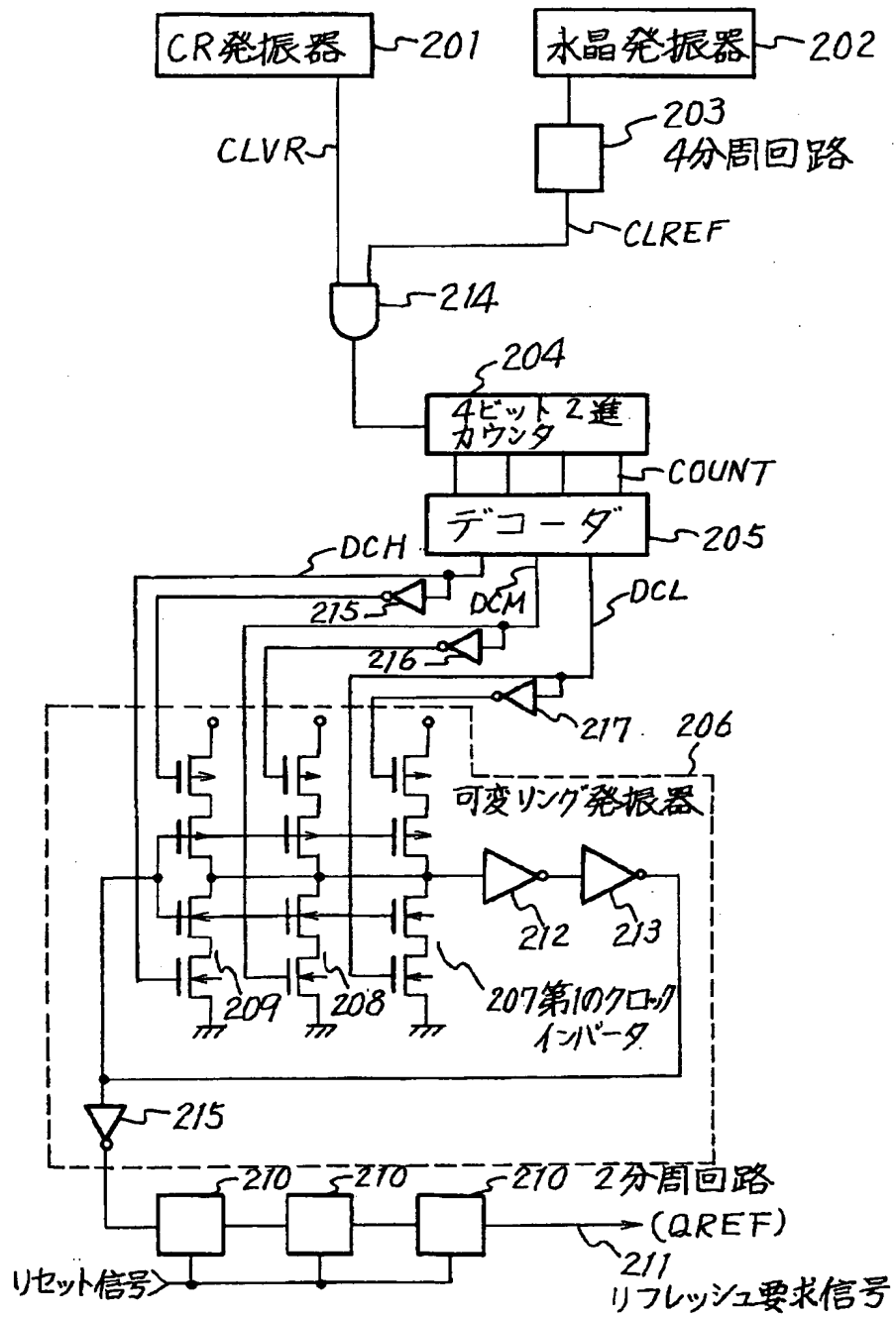
【図2】



【図1】



【図3】



【図4】

